

## ⑫ 公開特許公報(A) 平3-85012

⑤ Int.Cl.<sup>5</sup>  
H 03 K 3/78識別記号 庁内整理番号  
8626-5J

④ 公開 平成3年(1991)4月10日

審査請求 未請求 請求項の数 1 (全6頁)

⑬ 発明の名称 バルス発生回路

②① 特 願 平1-220313

②② 出 願 平1(1989)8月29日

⑦ 発 明 者 鎌 田 雅 史 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内  
 ⑦ 出 願 人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号  
 ⑦ 代 理 人 弁理士 大塚 康徳 外1名

## 明 細 書

## 1. 発明の名称

バルス発生回路

## 2. 特許請求の範囲

計数クロック信号を入力して計数する計数手段と、

バルス情報を記憶し、前記計数手段よりの計数値をアドレスとして入力する記憶手段と、

クロック信号を指定された分周比に従って分周する分周手段と、

前記クロック信号あるいは前記分周手段により分周されたクロック信号のいずれかを前記バルス情報に従って選択し、前記計数手段の計数クロック信号として出力する選択手段と、

を有することを特徴とするバルス発生回路。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は、例えば液晶やラインセンサなどを駆動するバルス信号を発生するバルス発生回路に関するものである。

## 〔従来の技術〕

従来のバルス列発生回路(ビットパターン発生回路)の構成を第5図に示す。この回路ではクロック信号204とスキヤン開始パルス(STS)信号205を入力し、カウンタ200によりこのクロック信号204を計数して、ROM201のアドレスを作成している。この回路より出力されるビットパターンは、例えばラインセンサなどのリセット信号や転送信号などを出力するためのもので、ROM201にはこれら信号の周期及びクロック204の周期を考慮したデータが 込ま

れている。

カウンタ200でアドレスされたROM201のデータは順次読出され、ラッチタイミング発生回路203よりのラッチ信号によりラッチ回路202にラッチされる。このラッチタイミング発生回路203は、カウンタ200のクロック204とラッチ回路202とのタイミングを決定するので、クロック信号204を遅延あるいは反転させた信号をラッチ信号として出力している。

#### [発明が解決しようとする課題]

以上説明した従来のパルス列発生回路では、この回路より出力されたビットパターンを入力する、例えばラインセンサの機種に対応したデータがROM201に記憶されている。このため、例えばクロック信号204の周期が変更されると、ビットパターンとして駆動回路に出力されるデー

記パルス情報に従って選択し、前記計数手段の計数クロック信号として出力する選択手段とを有する。

#### [作用]

以上の構成において、記憶手段は、パルス情報を記憶しており、計数クロック信号を入力して計数する計数手段よりの計数値をアドレスとして入力する。クロック信号あるいは、クロック信号を指定された分周比に従って分周する分周手段により分周されたクロック信号のいずれかを、記憶手段に記憶されたパルス情報に従って選択し、その計数手段の計数クロック信号として出力することにより、記憶手段より読出したパルス情報のパルス幅を任意に変更して出力することができる。

#### [実施例]

以下、添付図面を参照して本発明の好適な実施

タの周期が変動するため、ROM201の内容を変更して、そのクロック周期の変更に対応しなければならなかった。

本発明は上記従来例に鑑みてなされたもので、記憶手段に記憶されたビットパターンを変更することなく、任意のパルス幅のパルスを出力できるパルス発生回路を提供することを目的とする。

#### [課題を解決するための手段]

上記目的を達成するために本発明のパルス発生回路は以下の様な構成からなる。即ち、

計数クロック信号を入力して計数する計数手段と、パルス情報を記憶し、前記計数手段よりの計数値をアドレスとして入力する記憶手段と、クロック信号を指定された分周比に従って分周する分周手段と、前記クロック信号あるいは前記分周手段により分周されたクロック信号のいずれかを前

例を詳細に説明する。

#### [パルス列発生回路の説明 (第1図)]

第1図は実施例のパルス列発生回路の構成を示す回路図である。

図において、100はカウンタで、STS信号205によりクロック信号204の計数を開始して、ROM101のアドレス信号を出力している。101はカウンタ100よりのアドレス信号に従って、そのアドレスに格納されているビットパターンデータを出力するROMである。102はラッチタイミング発生回路103よりのラッチ信号により、ROM101の出力をラッチするラッチ回路である。尚、これら100～103の部分は、第5図に示す従来例の回路の200～203のそれぞれに対応しており、STS信号205及びクロック信号204も第5図に示された信号

と同じものである。

104はクロック切換回路で、ラッチ回路102にラッチされたROM101のビットデータ107の値に従って、クロック信号204あるいは分周回路105よりの分周クロック108のいずれかを選択して、カウンタクロック109としてカウンタ100に出力している。105は分周回路で、STS信号205とクロック信号204とを入力しており、分周比切換スイッチ106により指示された分周比に従って、クロック信号204をSTS信号205に同期して分周した分周クロック108を出力している。

【動作説明 (第1図～第4図)】

第2図はROM101に書込まれたデータ例を示す図である。このROM101はmワード×nビットの容量を有しているが、説明を簡単にする

103は、クロック信号204の立下がりでラッチ信号をラッチ回路102に出力しているため、タイミングT1でラッチ回路102にROM101の“0”番地のデータ(\*\*\*…000)がラッチされる。尚、\*は任意の数を示し、これ以降は下位3ビットのみについて説明していく。

このとき、クロック切換信号107は“0”であるため、クロック切換回路104は、1/2に分周された分周クロック108を選択してカウンタクロック109として出力している。次にタイミングT2でカウンタ100が+1され、次にクロック信号204の立下がり(タイミングT3)でラッチ回路102にはROM101の“1”番地のデータ(…001)がラッチされる。このとき、ビット0は“1”であるため、初期化パルスがハイレベルとなる。

ため、ここでは $n=3$ (ビット)の場合で説明する。ビット0は後段の駆動回路(図示せず)への初期化パルスとして利用され、ビット1は、同じく、その駆動回路の読出しパルスとして使用されている。そして、ビット2はクロック切換回路104へのクロック切換信号107として使用されている。

第3図は第1図のパルス列発生回路の動作例を説明するための図で、ここではROM101には第2図のデータが記憶されており、分周比切換スイッチ106により1/2の分周比が設定されているものとする。また、クロック信号204の周期を $T_1$ とする。

STS信号205がハイレベルになると、カウンタ100はリセットされ、そのアドレス出力110は“0”になる。ラッチタイミング発生回路

次にタイミングT4でクロック信号204が立上ると、カウンタ100は+1されて、そのアドレス出力110は“2”となる。そして、タイミングT5でラッチ回路102にROM102のアドレス“2”のデータ(…100)がラッチされると、初期化パルスはロウレベルに、クロック切換信号107はハイレベルになる。これにより、これ以降はクロック切換回路104によりクロック信号204が選択され、カウンタクロック109としてカウンタ100に inputs される。こうして、タイミングT6で読出しパルス(ビット1)がハイレベルになり、タイミングT7でロウレベルになる。

そして、第3図から明らかなように、初期化パルス(ビット0)のパルス幅 $T_{i1}$ が $2T_1$ であるのに対し、読出しパルス(ビット1)のパルス幅

$T_1$ は、 $T_1$ となる。

第4図はクロック信号204の周期を第3図の場合の1/2倍にし、ROM101の内容はそのまま、分周比切換スイッチ106による設定を1/4にしたときの状態を示している。

タイミングT10でラッチ回路102にROM101のアドレス“0”の内容(…000)がラッチされると、クロック切換信号107が“0”となり、カウンタクロック109は分周回路105により1/4に分周されたクロック信号となる。ROM101の出力データがアドレス“1”のデータとなると、このデータはタイミングT11でラッチ回路102にラッチされる。これにより、初期化パルス(ビット0)がハイレベルになる。

次に、タイミングT12でラッチ回路102に

ため極めて有効である。

尚、第1図の分周比切換スイッチ106の代りに、CPUなどで分周比を制御することにより、よりインテリジェントなパターン発生回路となる。

又、クロック切換回路104を2段の場合で説明したが、これに限定されるものでなく、より多段に切り換えることができる構成にすることにより、より多くのビットパターン(パルス列)を発生できる。

以上説明したように本実施例によれば、ROMの内容を変更することなく、出力するパルス列を自由に変更できる。これにより、例えば後段に接続されたラインセンサなどに出力するビットパターンデータの自由度が増すという効果がある。

[発明の効果]

ROM101のアドレス“2”のデータ(…100)がラッチされると、クロック切換信号107(ビット2)がハイレベルとなり、カウンタクロック109はクロック信号204となる。これにより、後続のタイミングT13及びT14でハイレベルとなる読出しパルス(ビット1)の周期は $T_1/2$ となる。これに対し、初期化パルスのパルス幅は第3図の場合と同様に $2T_1$ となっており、初期化パルスのパルス幅を変更することなく、読出しパルス幅だけを変更することができる。

これは、後段の駆動回路の初期化パルス幅をそのままにして、その読出しパルスの周期を早くしなければならない時などに、ROM101のデータを変更する必要がなく、クロック信号204の周期と、その分周比を設定するだけで実現できる

以上説明したように本発明によれば、記憶手段に記憶されるビットパターンを変更することなく、任意のパルス幅の信号を出力できる効果がある。

#### 4. 図面の簡単な説明

第1図は実施例のパルス発生回路の概略構成を示すブロック図、

第2図はROMに記憶されたデータ例を示す図、

第3図は第1図の回路より出力されるパルスデータ例を示すタイミング図、

第4図は第3図のクロック信号の周期を1/2にしたときの、第1図の回路より出力されるパルスデータ例を示すタイミング図、そして

第5図は従来のビットパターン発生回路の構成を示す回路ブロック図である。

図中、100…カウンタ、101…ROM、102…ラッチ回路、103…ラッチタイミング発生回路、104…クロック切換回路、105…分周回路、106…分周比切換スイッチ、107…クロック切換信号、108…分周クロック、109…カウンタクロック、110…アドレス信号、204…クロック信号、205…スキヤン開始信号(STS)である。

特許出願人 キヤノン株式会社

代理人 弁理士 大塚康徳(他1名)

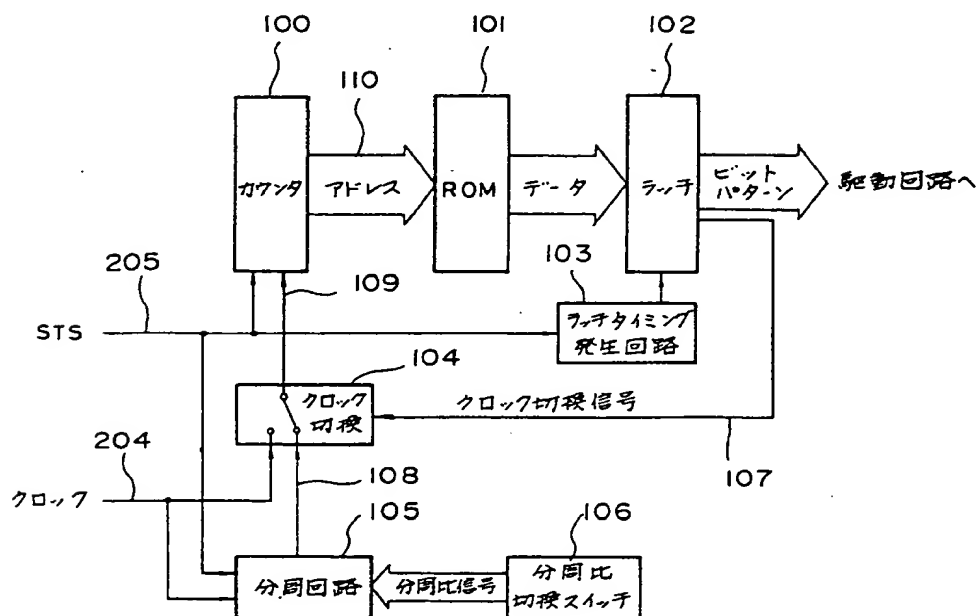
ビット アドレス	n-1		2	1	0
0	X		0	0	0
1	X		0	0	1
2	X		1	0	0
3	X		1	1	0
4	X		1	0	0
5	X		1	1	0
6	X		1	0	0
m-1	X		1	0	0

初期化パルス

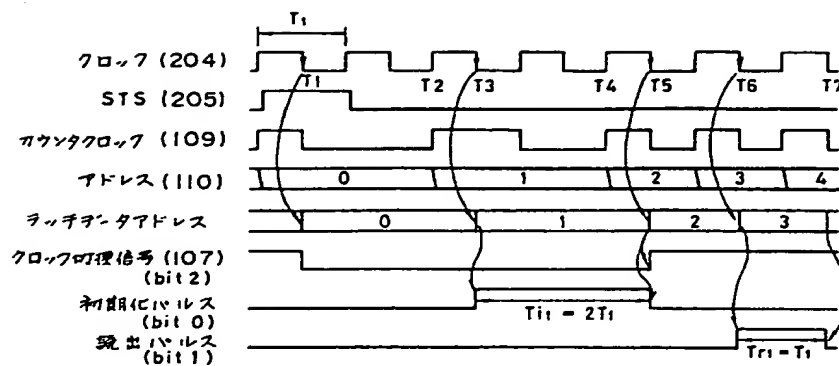
読出パルス

クロック切換信号107

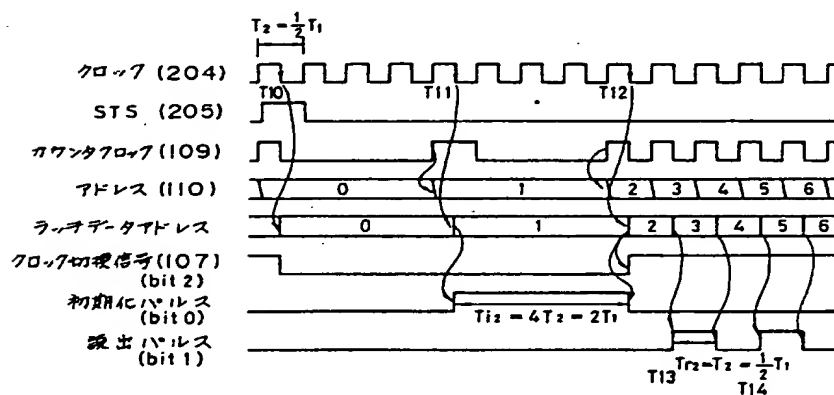
第 2 図



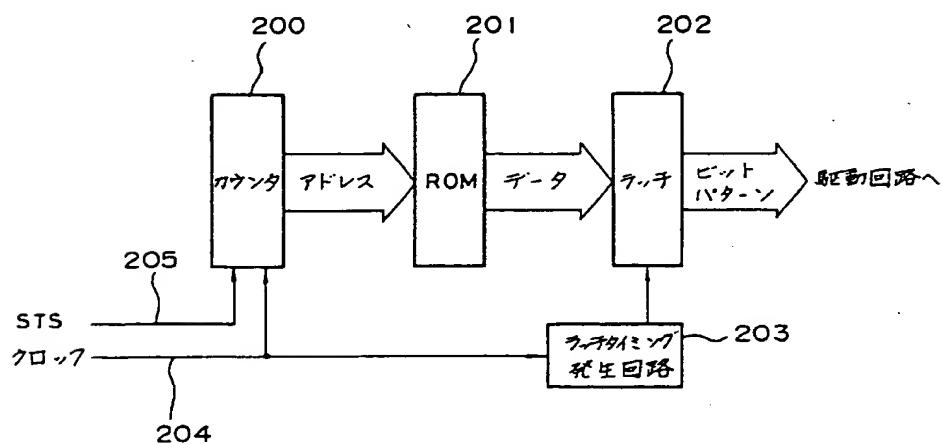
第 1 図



第 3 図



第 4 図



第 5 図

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-085012

(43)Date of publication of application : 10.04.1991

(51)Int.Cl.

H03K 3/78

(21)Application number : 01-220313

(71)Applicant : CANON INC

(22)Date of filing : 29.08.1989

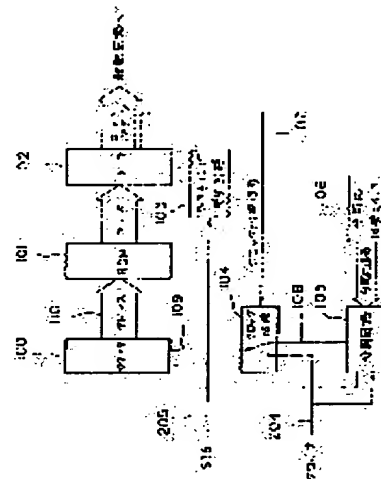
(72)Inventor : KAMATA MASAFUMI

## (54) PULSE GENERATING CIRCUIT

## (57)Abstract:

PURPOSE: To output a pulse with an optional pulse width by selecting any of frequency-divided clock signals according to stored pulse information and outputting the result as a count clock signal.

CONSTITUTION: A counter 100 starts count of a clock signal 204 with a scan start pulse (STS) signal 205 and outputs an address signal 110. A ROM 101 outputs a stored pattern data according to the address signal 110. A frequency divider circuit 105 frequency-divides the clock signal 204 according to the designated frequency division ratio and outputs a frequency division clock 108. A latch circuit 102 selects any of the clock signal 204 or the frequency division clock signal 108 according to a pattern data of the ROM 101 and outputs the result as a count clock signal of the counter 100. Thus, the pulse with an optional pulse width is outputted.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office